

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-320892

(43)Date of publication of application : 11.11.2004

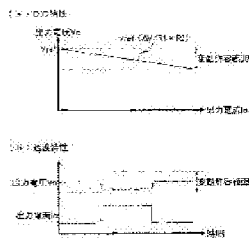
(51)Int.Cl. H02M 3/155

G05F 1/56

(21)Application number : 2003-111242 (71)Applicant : ROHM CO LTD

(22)Date of filing : 16.04.2003 (72)Inventor : TAKEMURA KO
UMEMOTO SEIKI

(54) POWER SUPPLY UNIT



(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power supply unit capable of realizing an improvement in the transient characteristics of output voltage for a sudden change in output current and a reduction of power consumption at the time of increasing output current.

SOLUTION: This power supply unit is constituted so that the output voltage V_o

may be reduced within a prescribed allowable fluctuating range with an increase in the output current I_o in generating the output voltage V_o within the allowable fluctuating range from input voltage.

LEGAL STATUS

[Date of request for examination] 18.11.2003

[Date of sending the examiner's
decision of rejection] 17.05.2005

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

[Patent number] 3717492

[Date of registration] 09.09.2005

[Number of appeal against examiner's
decision of rejection] 2005-11228

[Date of requesting appeal against
examiner's decision of rejection] 16.06.2005

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIP are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not
reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]

The power unit which faces generating the output voltage in predetermined fluctuation tolerance from input voltage, is in said fluctuation tolerance and is characterized by controlling to reduce a setup of said output voltage with increase of the output current.

[Claim 2]

It is the power unit which has the comparator which changes output-signal level based on the size relation between an output current detection means generate the reference voltage according to the output current, and said reference voltage and a predetermined threshold, an output-control means perform drive control of output voltage based on the output signal of this comparator, the offset circuit which gives offset to said reference voltage, and the output-voltage comparator circuit which controls said amount of offset according to the comparison result of said output voltage and predetermined reference voltage, and changes,
Said output voltage comparator circuit is a power unit characterized by controlling said amount of offset so that it faces generating the output voltage in predetermined fluctuation tolerance from input voltage, and it may be in said fluctuation tolerance and said output voltage may decrease with increase of said output current.

[Claim 3]

Said output voltage comparator circuit is a power unit according to claim 2 which is in said fluctuation tolerance and is characterized by having the constant impedance control section which generates the signal for reducing a setup of said output voltage, and changing with increase of said output current while

controlling said amount of offset according to the outgoing end electrical potential difference of the operational amplifier which operates so that said output voltage and said reference voltage may be made in agreement, and this operational amplifier.

[Claim 4]

As opposed to the 1 input edge of said operational amplifier with which, as for said constant impedance control section, said output voltage is impressed It has the 1st resistance connected between the outgoing ends of this operational amplifier, and the 2nd resistance connected between the impression edges of said output voltage, and changes. Between the 1 input edge electrical potential difference of said operational amplifier, and an outgoing end electrical potential difference The power unit according to claim 3 characterized by fluctuating the current which is made to produce the electrical-potential-difference difference according to the change in said output current, and flows towards the 2nd resistance from the 1st resistance through the 1st resistance.

[Claim 5]

Said constant impedance control section is a power unit according to claim 4 characterized by using said reference voltage as current setting reference voltage which determines correlation with the outgoing end electrical potential difference of said operational amplifier, and said amount of offset.

[Claim 6]

Said output-voltage comparator circuit is a power unit according to claim 2 characterized by to have the amplifier which amplifies the difference electrical potential difference of said output voltage and 1st reference voltage, the resistance which a series connection is carried out among different 2 potentials, and carries out bias of the magnification electrical potential difference of said amplifier, and the electrical potential difference / current conversion circuit which carries out current conversion of the magnification electrical potential difference by which bias was carried out, and generates the setting signal of said amount of offset, and to change.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention]

This invention relates to the power unit which generates the output voltage in predetermined fluctuation tolerance from input voltage.

[0002]

[Description of the Prior Art]

Before, in the power unit which generates the output voltage V_o in predetermined fluctuation tolerance from input voltage V_i , feedback control of output voltage V_o was performed so that output voltage V_o might turn into the predetermined reference voltage V_{ref} (fixed value independent of the change in the output current I_o) (see drawing 7 (a)).

[0003]

[Patent reference 1]

JP,2002-186254,A

[0004]

[Problem(s) to be Solved by the Invention]

If it is the power unit which consists of the above-mentioned configuration, even if surely it will change input voltage V_i and the output current I_o a little, it is possible to supply the output voltage V_o in fluctuation tolerance to a load.

[0005]

However, in the power unit which consists of the above-mentioned configuration, when the sudden change of the output current I_o which cannot follow the feedback loop of output voltage V_o arose, big fluctuation arose in output voltage V_o , and when the worst, the technical problem of output voltage V_o stopping settling in fluctuation tolerance occurred (see drawing 7 (b)). Since it was necessary to generate especially the output voltage V_o which high-current-izing and high-speed-operation-izing of semiconductor chips (CPU etc.) used as a load progressed, and was stabilized also at the time of a rapid load effect in recent years, solution of the above-mentioned technical problem was important. Moreover, in the power unit which consists of the above-mentioned configuration, since feedback control was carried out so that output voltage V_o may turn into the reference voltage V_{ref} independent of the change in the output current I_o , at the time of increase of the output current I_o , the technical problem that the power consumption of a load became large also occurred.

[0006]

In addition, although many techniques (see the patent reference 1) for solving the above-mentioned technical problem were indicated and proposed conventionally, each of those conventional techniques is the configurations of having aimed at technical-problem solution by raising the responsibility of the feedback loop, and there was no difference between them about the point which carries out feedback control of the output voltage V_o to a fixed value unrelated to the change in the output current I_o . [the above-mentioned conventional configuration and]

Therefore, there was a limitation in improvement in a transient characteristic of the output voltage V_o by such configuration, and at the time of sudden change of the output current I_o , when the worst, there was a possibility that output voltage V_o might exceed fluctuation tolerance. Moreover, the technical problem that the

power consumption of a load became large at the time of increase of the output current I_o was not canceled, either.

[0007]

This invention aims at offering the power unit which can realize both power consumption reduction at the time of the improvement in a transient characteristic of output voltage to output current sudden change, and output current increase in view of the above-mentioned trouble.

[0008]

[Means for Solving the Problem]

In order to attain the above-mentioned purpose, the power unit concerning this invention is faced generating the output voltage in predetermined fluctuation tolerance from input voltage, with increase of the output current, is in said fluctuation tolerance and is considered as the configuration controlled to reduce a setup of said output voltage. If it states more concretely, the power unit concerning this invention The comparator which changes output-signal level based on the size relation between an output current detection means to generate the reference voltage according to the output current, and said reference voltage and a predetermined threshold, An output-control means to perform drive control of output voltage based on the output signal of this comparator, The offset circuit which gives offset to said reference voltage, and the output voltage comparator circuit which controls said amount of offset according to the comparison result of said output voltage and predetermined reference voltage, It is the power unit which **** and changes, and said output voltage comparator circuit is faced generating the output voltage in predetermined fluctuation tolerance from input voltage, with increase of said output current, it is in said fluctuation tolerance and is considered as the configuration which controls said amount of offset so that said output voltage decreases.

[0009]

In addition, it is good to make it the configuration which has the constant

impedance control section which generates the signal for being in said fluctuation tolerance and reducing a setup of said output voltage with increase of said output current in the power unit which consists of the above-mentioned configuration while controlling said amount of offset according to the outgoing-end electrical potential difference of the operational amplifier which as for said output voltage comparator circuit operates so that said output voltage and said reference voltage may be made in agreement, and this operational amplifier, and changes.

[0010]

In the power unit which consists of the above-mentioned configuration moreover, said constant impedance control section The 1st resistance connected between the outgoing ends of this operational amplifier to the 1 input edge of said operational amplifier with which said output voltage is impressed, It has the 2nd resistance connected between the impression edges of said output voltage, and changes. Between the 1 input edge electrical potential difference of said operational amplifier, and an outgoing end electrical potential difference It is good to make it the configuration which fluctuates the current which is made to produce the electrical-potential-difference difference according to the change in said output current, and flows towards the 2nd resistance from the 1st resistance through the 1st resistance.

[0011]

Moreover, in the power unit which consists of the above-mentioned configuration, said constant impedance control section is good to make it the configuration using said reference voltage as current setting reference voltage which determines correlation with the outgoing end electrical potential difference of said operational amplifier, and said amount of offset.

[0012]

It may carry out to the configuration which has the resistance which the series connection of said output-voltage comparator circuit is carried out among different 2 potentials from the amplifier which amplifies the difference electrical potential difference of said output voltage and 1st reference voltage, and carries

out bias of the magnification electrical potential difference of said amplifier, and the electrical potential difference / current conversion circuit which carries out current conversion of the magnification electrical potential difference by which bias was carried out, and generate the setting signal of said amount of offset in the power unit which consists of the above-mentioned configuration on the other hand, and changes.

[0013]

[Embodiment of the Invention]

Drawing 1 is the circuit diagram showing the 1st operation gestalt of the power unit concerning this invention. As shown in this Fig., the power unit of this operation gestalt A digital/analog converter 1 (hereafter referred to as DAC [Digital/Analog Converter]1), The output voltage comparator circuit 2, the offset circuit 3, and the output current comparator 4, The reset priority mold SR flip-flop 5 and the output transistor drive circuit 6 (it is hereafter called a driver 6), The N-channel metal oxide semiconductor field-effect transistors 7a and 7b (hereafter referred to as FET 7a and 7b), Have the output coil 8, the output capacitor 9, and the sense resistance 10, and it changes. An LC filter (the output coil 8 and output capacitor 9) is minded from the connection node of FET 7a and 7b of the pair by which series connection was carried out among different 2 potentials as a switching device (between input potential V_i and the touch-down potential GND). It is the DC to DC converter of the synchronous detection mold which obtains the desired output voltage V_o from an output terminal T_o .

[0014]

DAC1 carries out analogue conversion of the digital signal inputted from the equipment outside, and generates the reference voltage V_{ref} for determining output voltage V_o . In addition, when the output current I_o is set to 0, this reference voltage V_{ref} turns into output voltage V_o (see drawing 4 (a)). The output voltage comparator circuit 2 has operational amplifier 2a and constant impedance control-section 2b (it is called below CI[Constant Impedance] control-section 2b), changes, and generates the current setting signal S_i given to the

offset circuit 3 based on the comparison result of reference voltage V_{ref} and output voltage V_o . In addition, as detailed explanation as the back will be given about the internal configuration and actuation of the output voltage comparator circuit 2. The offset circuit 3 gives predetermined offset between 2 input edges of the output current comparator 4 based on the current setting signal S_i generated in the output voltage comparator circuit 2.

[0015]

The outgoing end of the output current comparator 4 is connected to the reset input edge (R) of the SR flip-flop 5. The set input edge (S) of the SR flip-flop 5 is connected to the clock terminal into which a clock signal CLK (for example, 200[kHz] -1[MHz]) is inputted, and the outgoing end (Q) is connected to the input edge of a driver 6. A driver 6 has two outgoing ends, and changes, and each outgoing end is connected to each gate of FET 7a and 7b.

[0016]

The drain of FET7a is connected to input voltage R_{hine} , and the source of FET7b is grounded. The source of FET7a and the drain of FET7b are connected mutually, and the connection node is connected to the end of the sense resistance 10 through the output coil 8. The other end of the sense resistance 10 is connected to the reference potential through the output capacitor 9, while connecting with an output terminal T_o . Moreover, the end (L side) of the sense resistance 10 is connected to the reversal input edge (-) of the output current comparator 4, and the other end (T_o side) is connected to the noninverting input edge (+) of the output current comparator 4 through the offset circuit 3. Therefore, the output current comparator 4 changes the output level based on the size relation of the both-ends electrical potential difference V_s (an offset part of the offset circuit 3 is included) of the sense resistance 10 and predetermined threshold which are changed according to the output current I_o .

[0017]

With a low level, as for a driver 6, the reset signal to the SR flip-flop 5 makes ON state and FET7b an OFF state for FET7a, when a set signal is high-level.

Moreover, with a low level, a reset signal makes OFF state and FET7b an ON state for FET7a, when a set signal is a low level. In addition, when a reset signal is high-level, let FET7a be an OFF state regardless of a set signal (FET7b is arbitration). When the both-ends electrical potential difference V_s of the sense resistance 10 reaches a predetermined threshold by the above configurations, the reset signal to the SR flip-flop 5 becomes high-level, and switching of FET7a stops.

[0018]

Then, explanation detailed about the internal configuration of the output voltage comparator circuit 2 and the offset circuit 3 is given, referring to drawing 2 . The output voltage comparator circuit 2 of this operation gestalt has operational amplifier 2a and CI control-section 2b, and changes as stated previously. Operational amplifier 2a has the pnp mold bipolar transistors P1 and P2, the npn mold bipolar transistors N1 and N2, and a constant current source I1, and changes, and CI control-section 2b has the pnp mold bipolar transistors P3-P6, the npn mold bipolar transistors N3-N6, amplifier A1 and A2, and resistance R1-R4, and changes. Moreover, the offset circuit 3 has the pnp mold bipolar transistors P7 and P8, constant current sources I2 and I3, and resistance R5 and R6, and changes.

[0019]

The emitter of transistors P1 and P2 is connected mutually, and the connection node is connected to power-source Rhine through the constant current source I1. The collector of transistors P1 and P2 is respectively connected to the collector of transistors N1 and N2. The base of the transistor P1 equivalent to the noninverting input edge (+) of operational amplifier 2a is connected to the outgoing end of DAC1 (un-illustrating), and reference voltage V_{ref} is impressed. The base of the transistor P2 equivalent to the reversal input edge (-) of operational amplifier 2a is connected to the output terminal To (un-illustrating) of a power unit through resistance R2 while connecting with the noninverting input edge (+) of amplifier A1 through resistance R1. The connection node which ties

the collector of the transistors P2 and N2 equivalent to the outgoing end of operational amplifier 2a is connected to the noninverting input edge (+) of amplifier A1. The emitter of transistors N1 and N2 is connected mutually, and the connection node is grounded. The base of transistors N1 and N2 is connected mutually, and the connection node is connected to the collector of a transistor N1.

[0020]

The outgoing end of an amplifier A1 is connected to the base of a transistor N3. The emitter of a transistor N3 is grounded through resistance R3, while connecting with the reversal input edge (-) of amplifier A1. The collector of a transistor N3 is connected to the collector of a transistor P3. The emitter of transistors P3 and P4 is connected mutually, and the connection node is connected to power-source Rhine. The base of transistors P3 and P4 is connected mutually, and the connection node is connected to the collector of a transistor P3. The collector of a transistor P4 is connected to the collector of a transistor N6 through resistance R5.

[0021]

The emitter of transistors N5 and N6 is connected mutually, and the connection node is grounded. The collector of a transistor N5 is connected to the collector of a transistor P6. The base of transistors N5 and N6 is connected mutually, and the connection node is connected to the collector of a transistor N5. The emitter of transistors P5 and P6 is connected mutually, and the connection node is connected to power-source Rhine. The collector of a transistor P5 is connected to the collector of a transistor N4. The base of transistors P5 and P6 is connected mutually, and the connection node is connected to the collector of a transistor P5. The emitter of a transistor N4 is grounded through resistance R4, while connecting with the reversal input edge (-) of amplifier A2. The base of a transistor N4 is connected to the outgoing end of amplifier A2. The noninverting input edge (+) of amplifier A2 is connected to the outgoing end of DAC1 (refer to drawing 1), and reference voltage Vref is impressed.

[0022]

On the other hand, the both ends of the sense resistance 10 (refer to drawing 1) are respectively connected to the base of transistors P7 and P8. Each collector of transistors P7 and P8 is grounded. The emitter of a transistor P7 is connected with resistance R5 through the constant current source I2 in power-source Rhine. The connection node of a constant current source I2 and resistance R5 is connected to the noninverting input edge (+) of the output current comparator 4 while connecting with the collector of a transistor P4. The connection node of resistance R5 and the emitter of a transistor P7 is connected to the collector of a transistor N6. The emitter of a transistor P8 is connected with resistance R6 through the constant current source I3 in power-source Rhine. The connection node of a constant current source I3 and resistance R6 is connected to the reversal input edge (-) of the output current comparator 4.

[0023]

In the output voltage comparator circuit 2 which consists of the above-mentioned configuration, if the output current I_o increases and the collector current i_1 of a transistor P4 increases, the reversal input voltage of the amplifier A1 which constitutes C1 control-section 2b rises, it will be followed and the noninverting input electrical potential difference (output voltage V_b of operational amplifier 2a) of amplifier A1 will rise. Therefore, between the reversal input voltage V_a of operational amplifier 2a, and output voltage V_b , electrical-potential-difference difference ΔV according to the change in the output current I_o will arise through resistance R1.

[0024]

Since operational amplifier 2a operates at this time so that the reversal input voltage V_a and a noninverting input electrical potential difference (reference voltage V_{ref}) may be made in agreement, the current which flows towards resistance R2 increases from resistance R1, and, as for output voltage V_o , only a predetermined value ($\Delta V/R_1 \times R_2$) falls from reference voltage V_{ref} (see drawing 3 (a)). That is, in the power unit of this operation gestalt, since output voltage V_o will be maintained with this electrical-potential-difference value after

changing to the electrical-potential-difference value according to the output current I_o even when the output current I_o changes suddenly (see drawing 3 (b)), it becomes possible for big fluctuation not to arise in output voltage V_o , and to realize improvement in a transient characteristic of output voltage V_o to sudden change of the output current I_o . Moreover, in the power unit of this operation gestalt, since output voltage V_o is reduced according to increase of the output current I_o , it also becomes possible to realize power consumption reduction at the time of increase of the output current I_o .

[0025]

In addition, since the power unit of this operation gestalt is the configuration of being in predetermined fluctuation tolerance and reducing output voltage V_o with increase of the output current I_o by the above-mentioned configuration, without making the input voltage of operational amplifier 2a itself producing offset, it becomes possible [setting up small the input voltage difference of operational amplifier 2a]. In other words, it becomes possible to use the thing near the ideal operational amplifier which made each input voltage same electric potential as operational amplifier 2a. Since the high gain of operational amplifier 2a can be taken by considering as such a configuration, the responsibility of the feedback loop is raised and it becomes possible to realize improvement in a transient characteristic of output voltage V_o to sudden change of the output current I_o .

[0026]

Moreover, in the power unit of this operation gestalt, since the DC characteristic (see drawing 3 (a)) of output voltage V_o to the output current I_o is not dependent on the gain characteristics of operational amplifier 2a the top which can be set up only by the ratio of resistance R_1 and R_2 as it described above, it can be said to be that there are very few the dispersion factors. Therefore, if it is the power unit of this operation gestalt, even if the fluctuation tolerance of output voltage V_o is narrow (for example, ± 50 [mV]), it will be in the fluctuation tolerance and it will become possible to carry out adjustable control of the output voltage V_o with high precision.

[0027]

Moreover, the power unit of this operation gestalt is the output voltage V_b () of operational amplifier 2a. Namely, current setting reference voltage which determines correlation with the output current I_o and the current setting signal S_i ($=i_1+i_2$) (each collector current i_1 of transistors P4 and N6 and i_2 are mutually equal) It is a configuration using the reference voltage V_{ref} (or electrical potential difference generated from this reference voltage V_{ref}) which determines output voltage V_o as the output voltage V_b of operational amplifier 2a in case the current setting signal S_i is set to 0 by considering considerable and drawing 4 as reference. Even if it is the case where reference voltage V_{ref} changes by considering as such a configuration, it is not necessary to affect the correlation property of the current setting signal S_i over the output current I_o at all. It is desirable to apply this configuration to the power unit which can carry out adjustable control of the reference voltage V_{ref} like this operation gestalt especially.

[0028]

In addition, although the above-mentioned operation gestalt explained by mentioning as an example the case where this invention is applied to a switching regulator, as the configuration of this invention is not limited to this and shown in drawing 5 , it is possible to apply also to the series regulator which carries out series connection of the FET7c, and changes between input/output terminals.

[0029]

Moreover, the output voltage comparison amplifier 11 which replaces with the above-mentioned output voltage comparator circuit 2, and amplifies the difference electrical potential difference of the 1st reference voltage V_{ref1} and output voltage V_o as shown in drawing 6 as output voltage comparator circuit 2', The resistance 12 and 13 which a series connection is carried out between the 2nd reference voltage V_{ref2} and the touch-down potentials GND which were set up beforehand, and carries out bias of the magnification electrical potential difference of the output voltage comparison amplifier 11, The electrical potential

difference / current conversion circuit 14 which carries out current conversion of the magnification electrical potential difference by which bias was carried out, and generates the current setting signal S_i , By ****(ing) and changing and dropping the output gain of the output voltage comparison amplifier 11 according to the 2nd above-mentioned reference voltage V_{ref2} and the resistance of bias resistance 12 and 13 It is possible to acquire the 1st and 2nd operation gestalt and the same effectiveness as abbreviation of having explained previously also as a configuration which produces a difference between the 1st reference voltage V_{ref} and output voltage V_o according to change of the current setting signal S_i .

[0030]

The power unit which consists of the above-mentioned configuration is compared with the 1st and 2nd operation gestalt. However, [realizable with a simple configuration] While it has the said advantage, a resistance setup of the (b) resistance R_1 and R_2 which needs to take the large input voltage range of (a) output voltage comparison amplifier 11 is faced. It is necessary to take into consideration the both sides of the ratio (middle point electrical potential difference) and absolute value, and are greatly dependent on resistance dispersion. (c) Are greatly dependent on gain-characteristics dispersion of the output voltage comparison amplifier 11. The temperature characteristic [bad] (d) Since it is necessary to set up the gain of the output voltage comparison amplifier 11 low and has the demerit in which the high-speed responsibility of the feedback loop is bad, on the occasion of adoption of the configuration concerned, considerable cautions are required. For example, if the fluctuation tolerance of input voltage supplies a power source to a narrow load, the power unit of the above-mentioned 1st and 2nd operation gestalt is more suitable than the power unit of this operation gestalt.

[0031]

In addition, although the above explanation explained only the case where it changed into an electrical potential difference in the offset circuit 3, using the output current of the output voltage comparator circuit 2, it is not limited to this

and you may make it use the digital signal as a current setting signal Si.

[0032]

[Effect of the Invention]

As described above, the power unit concerning this invention is faced generating the output voltage in predetermined fluctuation tolerance from input voltage, with increase of the output current, is in said fluctuation tolerance and is considered as the configuration controlled to reduce a setup of said output voltage. If it states more concretely, the power unit concerning this invention The comparator which changes output-signal level based on the size relation between an output current detection means to generate the reference voltage according to the output current, and said reference voltage and a predetermined threshold, An output-control means to perform drive control of output voltage based on the output signal of this comparator, The offset circuit which gives offset to said reference voltage, and the output voltage comparator circuit which controls said amount of offset according to the comparison result of said output voltage and predetermined reference voltage, It is the power unit which **** and changes, and said output voltage comparator circuit is considered as the configuration which controls said amount of offset so that it faces generating the output voltage in predetermined fluctuation tolerance from input voltage, and it may be in said fluctuation tolerance and said output voltage may decrease with increase of said output current. With such a configuration, it becomes possible to realize both power consumption reduction at the time of the improvement in a transient characteristic of output voltage to output current sudden change, and output current increase.

[0033]

In addition, it is good to make it the configuration which has the constant impedance control section which generates the signal for being in said fluctuation tolerance and reducing a setup of said output voltage with increase of said output current in the power unit which consists of the above-mentioned configuration while controlling said amount of offset according to the outgoing-end electrical

potential difference of the operational amplifier which as for said output voltage comparator circuit operates so that said output voltage and said reference voltage may be made in agreement, and this operational amplifier, and changes. Thus, since the input voltage difference of an operational amplifier can be small set up by considering as the configuration which is in predetermined fluctuation tolerance and reduces output voltage with increase of the output current, without making the input voltage of an operational amplifier itself produce offset, it becomes possible to use the thing near the ideal operational amplifier which made each input voltage same electric potential as an operational amplifier. Therefore, since the high gain of an operational amplifier can be taken, the responsibility of the feedback loop is raised and it becomes possible to realize improvement in a transient characteristic of output voltage to output current sudden change.

[0034]

In the power unit which consists of the above-mentioned configuration moreover, said constant impedance control section The 1st resistance connected between the outgoing ends of this operational amplifier to the 1 input edge of said operational amplifier with which said output voltage is impressed, It has the 2nd resistance connected between the impression edges of said output voltage, and changes. Between the 1 input edge electrical potential difference of said operational amplifier, and an outgoing end electrical potential difference It is good to make it the configuration which fluctuates the current which is made to produce the electrical-potential-difference difference according to the change in said output current, and flows towards the 2nd resistance from the 1st resistance through the 1st resistance. When this configuration is adopted, and it can set up only by the ratio of the 1st and 2nd resistance, since the DC characteristic of output voltage to the output current does not depend on the gain characteristics of an operational amplifier, either, its dispersion factor of the decreases extremely. Therefore, even if the fluctuation tolerance of output voltage is narrow, it is in this fluctuation tolerance and it becomes possible to carry out adjustable

control of the output voltage with high precision.

[0035]

Moreover, in the power unit which consists of the above-mentioned configuration, said constant impedance control section is good to make it the configuration using said reference voltage as current setting reference voltage which determines correlation with the outgoing end electrical potential difference of said operational amplifier, and said amount of offset. Even if it is the case where reference voltage changes by considering as such a configuration, it is not necessary to affect the correlation property of the amount of offset over the output current at all.

[0036]

It may carry out to the configuration which has the resistance which the series connection of said output-voltage comparator circuit is carried out among different 2 potentials from the amplifier which amplifies the difference electrical potential difference of said output voltage and 1st reference voltage, and carries out bias of the magnification electrical potential difference of said amplifier, and the electrical potential difference / current conversion circuit which carries out current conversion of the magnification electrical potential difference by which bias was carried out, and generate the setting signal of said amount of offset in the power unit which consists of the above-mentioned configuration on the other hand, and changes. By considering as such a configuration, it described above and also it becomes possible to acquire the same effectiveness as abbreviation with a configuration simpler than the power unit which consists of a configuration. However, since the power unit which consists of this configuration has various demerits compared with the power unit which consists of other configurations, on the occasion of adoption of the configuration concerned, considerable cautions are required for it.

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the 1st operation gestalt of the power unit concerning this invention.

[Drawing 2] It is the circuit diagram showing the output voltage comparator circuit 2 and the offset circuit 3.

[Drawing 3] It is drawing showing the DC characteristic and transient characteristic of a power unit concerning this invention.

[Drawing 4] It is the correlation property Fig. of the current setting signal S_i to the output current I_o .

[Drawing 5] It is the circuit diagram showing the 2nd operation gestalt of the power unit concerning this invention.

[Drawing 6] It is the circuit diagram showing the 3rd operation gestalt of the power unit concerning this invention.

[Drawing 7] It is drawing showing the conventional DC characteristic and conventional transient characteristic of a power unit.

[Description of Notations]

1 Digital/analog Converter (DAC)

2 2' Output voltage comparator circuit

2a Operational amplifier

2b A constant impedance control section (CI control section)

3 Offset Circuit

4 Output Current Comparator

5 SR Flip-flop

6 Output Transistor Drive Circuit (Driver)

7a, 7b N-channel metal oxide semiconductor field-effect transistor (FET)

8 Output Coil

9 Output Capacitor

10 Sense Resistance

11 Output Voltage Comparison Amplifier

12 13 Resistance

14 Electrical Potential Difference / Current Conversion Circuit

P1-P8 pnp mold bipolar transistor

N1-N6 npn mold bipolar transistor

I1-I3 Constant current source

A1, A2 Amplifier

R1-R6 Resistance

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the circuit diagram showing the 1st operation gestalt of the power unit concerning this invention.

[Drawing 2] It is the circuit diagram showing the output voltage comparator circuit 2 and the offset circuit 3.

[Drawing 3] It is drawing showing the DC characteristic and transient characteristic of a power unit concerning this invention.

[Drawing 4] It is the correlation property Fig. of the current setting signal S_i to the output current I_o .

[Drawing 5] It is the circuit diagram showing the 2nd operation gestalt of the power unit concerning this invention.

[Drawing 6] It is the circuit diagram showing the 3rd operation gestalt of the power unit concerning this invention.

[Drawing 7] It is drawing showing the conventional DC characteristic and conventional transient characteristic of a power unit.

[Description of Notations]

1 Digital/analog Converter (DAC)

2 2' Output voltage comparator circuit

2a Operational amplifier

2b A constant impedance control section (CI control section)

3 Offset Circuit

4 Output Current Comparator

5 SR Flip-flop

6 Output Transistor Drive Circuit (Driver)

7a, 7b N-channel metal oxide semiconductor field-effect transistor (FET)

8 Output Coil

9 Output Capacitor

10 Sense Resistance

11 Output Voltage Comparison Amplifier

12 13 Resistance

14 Electrical Potential Difference / Current Conversion Circuit

P1-P8 pnp mold bipolar transistor

N1-N6 npn mold bipolar transistor

I1-I3 Constant current source

A1, A2 Amplifier

R1-R6 Resistance

[Translation done.]

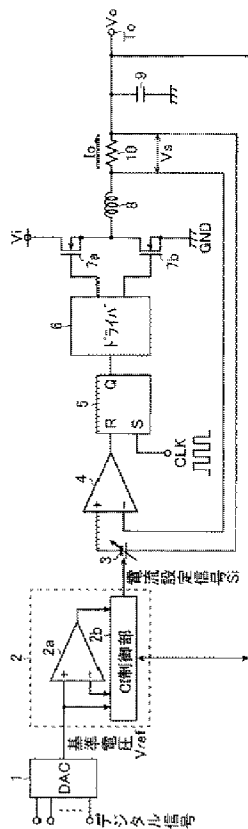
* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

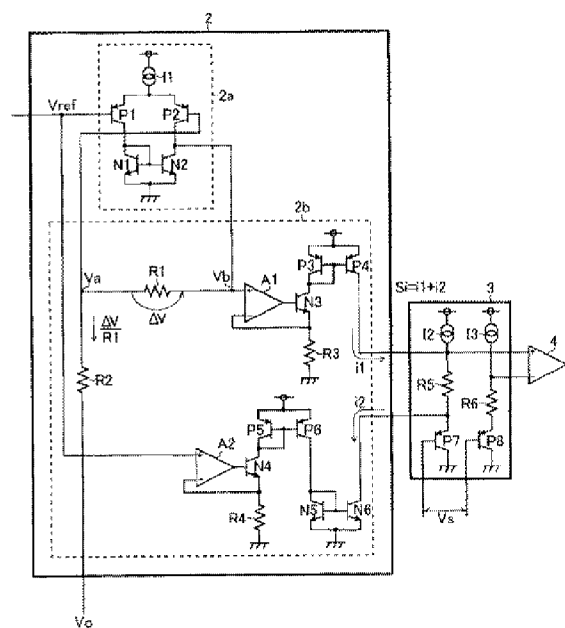
- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

[Drawing 1]

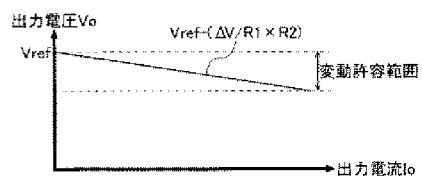


[Drawing 2]

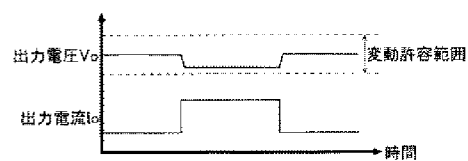


[Drawing 3]

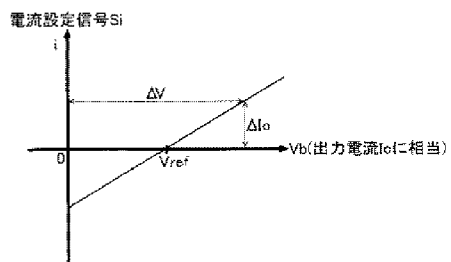
(a) D C特性



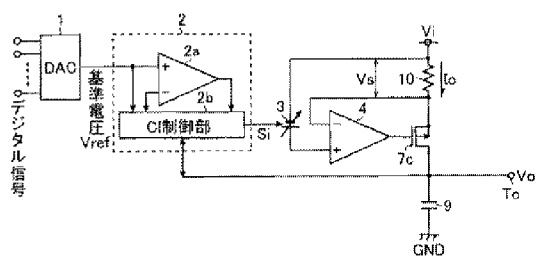
(b) 過渡特性



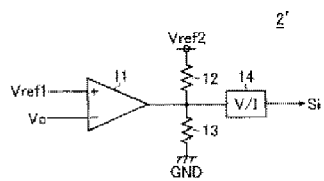
[Drawing 4]



[Drawing 5]

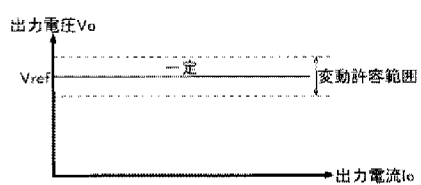


[Drawing 6]

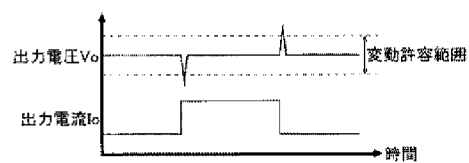


[Drawing 7]

(a) D C 特性



(b) 過渡特性



[Translation done.]

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-320892

(P2004-320892A)

(43) 公開日 平成16年11月11日(2004. 11. 11)

(51) Int. Cl. ⁷

H02M 3/155

G05F 1/56

F I

H02M 3/155

G05F 1/56

H

31OE

テーマコード (参考)

5H430

5H730

審査請求 有 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願2003-111242 (P2003-111242)

(22) 出願日 平成15年4月16日 (2003. 4. 16)

(71) 出願人 000116024

ローム株式会社

京都府京都市右京区西院溝崎町21番地

(74) 代理人 100085501

弁理士 佐野 静夫

(72) 発明者 竹村 興

京都市右京区西院溝崎町21番地 ローム株式会社内

(72) 発明者 梅本 清貴

京都市右京区西院溝崎町21番地 ローム株式会社内

Fターム(参考) 5H430 BB01 BB11 BB12 BB20 EE04

FF01 FF08 FF13 FF17 GG01

GG11 HH03

最終頁に続く

(54) 【発明の名称】 電源装置

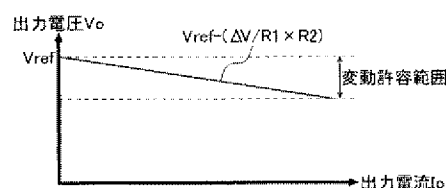
(57) 【要約】

【課題】本発明は、出力電流急変に対する出力電圧の過渡特性向上と出力電流増大時の消費電力低減を共に実現可能な電源装置を提供することを目的とする。

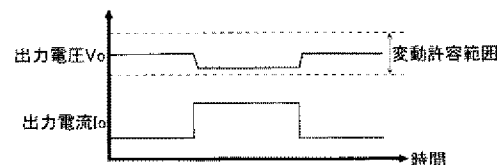
【解決手段】本発明に係る電源装置は、入力電圧から所定の変動許容範囲内の出力電圧 V_o を生成するに際し、出力電流 I_o の増大に伴って前記変動許容範囲内で出力電圧 V_o を低減する構成としている。

【選択図】 図3

(a) DC特性



(b) 過渡特性



【特許請求の範囲】

【請求項1】

入力電圧から所定変動許容範囲内の出力電圧を生成するに際し、出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するように制御することを特徴とする電源装置。

【請求項2】

出力電流に応じた参照電圧を生成する出力電流検出手段と、前記参照電圧と所定の閾値との大小関係に基づいて出力信号レベルを変遷する比較器と、該比較器の出力信号に基づいて出力電圧の駆動制御を行う出力制御手段と、前記参照電圧にオフセットを与えるオフセット回路と、前記出力電圧と所定の基準電圧との比較結果に応じて前記オフセット量を制御する出力電圧比較回路と、を有して成る電源装置であって、前記出力電圧比較回路は、入力電圧から所定の変動許容範囲内の出力電圧を生成するに際し、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧が低減するように、前記オフセット量を制御することを特徴とする電源装置。

【請求項3】

前記出力電圧比較回路は、前記出力電圧と前記基準電圧を一致させるように動作するオペアンプと、該オペアンプの出力端電圧に応じて前記オフセット量を制御するとともに、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するための信号を生成する定インピーダンス制御部と、を有して成ることを特徴とする請求項2に記載の電源装置。

【請求項4】

前記定インピーダンス制御部は、前記出力電圧が印加される前記オペアンプの一入力端に対して、該オペアンプの出力端との間に接続された第1抵抗と、前記出力電圧の印加端との間に接続された第2抵抗と、を有して成り、前記オペアンプの一入力端電圧と出力端電圧との間に、第1抵抗を介して、前記出力電流の増減に応じた電圧差を生じさせ、第1抵抗から第2抵抗に向けて流れる電流を変動させることを特徴とする請求項3に記載の電源装置。

【請求項5】

前記定インピーダンス制御部は、前記オペアンプの出力端電圧と前記オフセット量との相関を決定する電流設定基準電圧として、前記基準電圧を用いることを特徴とする請求項4に記載の電源装置。

【請求項6】

前記出力電圧比較回路は、前記出力電圧と第1基準電圧との差電圧を増幅するアンプと、異なる2電位間に直列接続されて前記アンプの増幅電圧をバイアスする抵抗と、バイアスされた増幅電圧を電流変換して前記オフセット量の設定信号を生成する電圧／電流変換回路と、を有して成ることを特徴とする請求項2に記載の電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力電圧から所定の変動許容範囲内の出力電圧を生成する電源装置に関するものである。

【0002】

【従来の技術】

従来より、入力電圧 V_i から所定の変動許容範囲内の出力電圧 V_o を生成する電源装置では、出力電圧 V_o が所定の基準電圧 V_{ref} （出力電流 I_o の増減に依存しない固定値）となるように、出力電圧 V_o のフィードバック制御が行われていた（図7（a）を参照）。

【0003】

【特許文献1】

特開2002-186254号公報

【0004】

【発明が解決しようとする課題】

確かに、上記構成から成る電源装置であれば、入力電圧 V_i や出力電流 I_o が少々変動したとしても、変動許容範囲内の出力電圧 V_o を負荷に供給することが可能である。

【0005】

しかしながら、上記構成から成る電源装置では、出力電圧 V_o のフィードバックループが追従不可能な出力電流 I_o の急変が生じた場合、出力電圧 V_o に大きな変動が生じ、最悪の場合には出力電圧 V_o が変動許容範囲内に収まらなくなるという課題があった(図7(b)を参照)。特に、近年では、負荷となる半導体チップ(CPUなど)の大電流化や高速動作化が進み、急激な負荷変動時にも安定した出力電圧 V_o を生成する必要があるため、上記課題の解決が重要となっていた。また、上記構成から成る電源装置では、出力電圧 V_o が出力電流 I_o の増減に依存しない基準電圧 V_{ref} となるようにフィードバック制御されるため、出力電流 I_o の増大時には、負荷の消費電力が大きくなるという課題もあった。

【0006】

なお、従来より、上記課題を解決するための技術(例えば特許文献1を参照)が数多く開示・提案されているが、それらの従来技術はいずれも、フィードバックループの応答性を高めることで課題解決を図った構成であり、出力電圧 V_o を出力電流 I_o の増減と無関係な固定値にフィードバック制御する点については、上記の従来構成と何ら変わりがなかった。そのため、このような構成による出力電圧 V_o の過渡特性向上には限界があり、出力電流 I_o の急変時には、最悪の場合、出力電圧 V_o が変動許容範囲を超えるおそれがあった。また、出力電流 I_o の増大時に負荷の消費電力が大きくなるという課題も解消されていなかった。

【0007】

本発明は、上記の問題点を鑑み、出力電流急変に対する出力電圧の過渡特性向上と出力電流増大時の消費電力低減を共に実現することが可能な電源装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記の目的を達成するために、本発明に係る電源装置は、入力電圧から所定変動許容範囲内の出力電圧を生成するに際し、出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するように制御する構成としている。より具体的に述べると、本発明に係る電源装置は、出力電流に応じた参照電圧を生成する出力電流検出手段と、前記参照電圧と所定の閾値との大小関係に基づいて出力信号レベルを変遷する比較器と、該比較器の出力信号に基づいて出力電圧の駆動制御を行う出力制御手段と、前記参照電圧にオフセットを与えるオフセット回路と、前記出力電圧と所定の基準電圧との比較結果に応じて前記オフセット量を制御する出力電圧比較回路と、を有して成る電源装置であって、前記出力電圧比較回路は、入力電圧から所定の変動許容範囲内の出力電圧を生成するに際し、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧が低減するように前記オフセット量を制御する構成としている。

【0009】

なお、上記構成から成る電源装置において、前記出力電圧比較回路は、前記出力電圧と前記基準電圧を一致させるように動作するオペアンプと、該オペアンプの出力端電圧に応じて前記オフセット量を制御するとともに、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するための信号を生成する定インピーダンス制御部と、を有して成る構成にするとよい。

【0010】

また、上記構成から成る電源装置において、前記定インピーダンス制御部は、前記出力電圧が印加される前記オペアンプの一入力端に対して、該オペアンプの出力端との間に接続された第1抵抗と、前記出力電圧の印加端との間に接続された第2抵抗と、を有して成り

、前記オペアンプの一端入力端電圧と出力端電圧との間に、第1抵抗を介して、前記出力電流の増減に応じた電圧差を生じさせ、第1抵抗から第2抵抗に向けて流れる電流を変動させる構成にするとよい。

【0011】

また、上記構成から成る電源装置において、前記定インピーダンス制御部は、前記オペアンプの出力端電圧と前記オフセット量との相関を決定する電流設定基準電圧として、前記基準電圧を用いる構成にするとよい。

【0012】

一方、上記構成から成る電源装置において、前記出力電圧比較回路は、前記出力電圧と第1基準電圧との差電圧を増幅するアンプと、異なる2電位間に直列接続されて前記アンプの増幅電圧をバイアスする抵抗と、バイアスされた増幅電圧を電流変換して前記オフセット量の設定信号を生成する電圧／電流変換回路と、を有して成る構成にしてもよい。

【0013】

【発明の実施の形態】

図1は本発明に係る電源装置の第1実施形態を示す回路図である。本図に示すように、本実施形態の電源装置は、デジタル／アナログコンバータ1（以下、DAC [Digital/Analog Converter] 1と呼ぶ）と、出力電圧比較回路2と、オフセット回路3と、出力電流コンパレータ4と、リセット優先型SRフリップフロップ5と、出力トランジスタ駆動回路6（以下、ドライバ6と呼ぶ）と、NチャネルMOS電界効果トランジスタ7a、7b（以下、FET 7a、7bと呼ぶ）と、出力コイル8と、出力コンデンサ9と、センス抵抗10と、を有して成り、スイッチ素子として異なる2電位間（入力電位Vi・接地電位GND間）に直列接続された一対のFET 7a、7bの接続ノードから、LCフィルタ（出力コイル8と出力コンデンサ9）を介して、所望の出力電圧Voを出力端子Toから得る同期整流型のDC／DCコンバータである。

【0014】

DAC 1は、装置外部から入力されるデジタル信号をアナログ変換して、出力電圧Voを決定するための基準電圧Vrefを生成する。なお、出力電流Ioを0としたときには、該基準電圧Vrefが出力電圧Voとなる（図4（a）を参照）。出力電圧比較回路2は、オペアンプ2aと、定インピーダンス制御部2b（以下CI [Constant Impedance] 制御部2bと呼ぶ）と、を有して成り、基準電圧Vrefと出力電圧Voとの比較結果に基づいて、オフセット回路3に与える電流設定信号Siを生成する。なお、出力電圧比較回路2の内部構成や動作については、後ほど詳細な説明を行うことにする。オフセット回路3は、出力電圧比較回路2で生成された電流設定信号Siに基づいて、出力電流コンパレータ4の2入力端間に所定のオフセットを与える。

【0015】

出力電流コンパレータ4の出力端は、SRフリップフロップ5のリセット入力端（R）に接続されている。SRフリップフロップ5のセット入力端（S）は、クロック信号CLK（例えば、200 [kHz] ～1 [MHz]）が入力されるクロック端子に接続されており、出力端（Q）はドライバ6の入力端に接続されている。ドライバ6は、2つの出力端を有して成り、各出力端はFET 7a、7bの各ゲートに接続されている。

【0016】

FET 7aのドレインは入力電圧ラインに接続されており、FET 7bのソースは接地されている。FET 7aのソースとFET 7bのドレインは互いに接続されており、その接続ノードは、出力コイル8を介してセンス抵抗10の一端に接続されている。センス抵抗10の他端は、出力端子Toに接続される一方、出力コンデンサ9を介して基準電位に接続されている。また、センス抵抗10の一端（L側）は出力電流コンパレータ4の反転入力端（-）に接続されており、他端（To側）はオフセット回路3を介して出力電流コンパレータ4の非反転入力端（+）に接続されている。従って、出力電流コンパレータ4は、出力電流Ioに応じて変動するセンス抵抗10の両端電圧Vs（オフセット回路3のオフセット分を含む）と所定閾値との大小関係に基づいて、その出力レベルを変遷する。

【0017】

ドライバ6は、SRフリップフロップ5へのリセット信号がローレベルでセット信号がハイレベルのとき、FET7aをオン状態、FET7bをオフ状態とする。また、リセット信号がローレベルでセット信号がローレベルのときには、FET7aをオフ状態、FET7bをオン状態とする。なお、リセット信号がハイレベルのときは、セット信号に関係なくFET7aをオフ状態とする（FET7bは任意）。以上のような構成により、センス抵抗10の両端電圧 V_s が所定閾値に達したときには、SRフリップフロップ5へのリセット信号がハイレベルとなり、FET7aのスイッチングは停止される。

【0018】

続いて、図2を参照しながら、出力電圧比較回路2及びオフセット回路3の内部構成について詳細な説明を行う。先に述べた通り、本実施形態の出力電圧比較回路2は、オペアンプ2aと、CI制御部2bと、を有して成る。オペアンプ2aは、pnp型バイポーラトランジスタP1、P2と、npn型バイポーラトランジスタN1、N2と、定電流源I1と、を有して成り、CI制御部2bは、pnp型バイポーラトランジスタP3～P6と、npn型バイポーラトランジスタN3～N6と、増幅器A1、A2と、抵抗R1～R4と、を有して成る。また、オフセット回路3は、pnp型バイポーラトランジスタP7、P8と、定電流源I2、I3と、抵抗R5、R6と、を有して成る。

【0019】

トランジスタP1、P2のエミッタは互いに接続されており、その接続ノードは定電流源I1を介して電源ラインに接続されている。トランジスタP1、P2のコレクタはトランジスタN1、N2のコレクタに各々接続されている。オペアンプ2aの非反転入力端(+)に相当するトランジスタP1のベースは、DAC1（不図示）の出力端に接続されており、基準電圧 V_{ref} が印加されている。オペアンプ2aの反転入力端(-)に相当するトランジスタP2のベースは、抵抗R1を介して増幅器A1の非反転入力端(+)に接続されるとともに、抵抗R2を介して電源装置の出力端子 T_o （不図示）に接続されている。オペアンプ2aの出力端に相当するトランジスタP2、N2のコレクタを結ぶ接続ノードは、増幅器A1の非反転入力端(+)に接続されている。トランジスタN1、N2のエミッタは互いに接続されており、その接続ノードは接地されている。トランジスタN1、N2のベースは互いに接続されており、その接続ノードはトランジスタN1のコレクタに接続されている。

【0020】

増幅器A1の出力端は、トランジスタN3のベースに接続されている。トランジスタN3のエミッタは、増幅器A1の反転入力端(-)に接続される一方、抵抗R3を介して接地されている。トランジスタN3のコレクタは、トランジスタP3のコレクタに接続されている。トランジスタP3、P4のエミッタは互いに接続されており、その接続ノードは、電源ラインに接続されている。トランジスタP3、P4のベースは互いに接続されており、その接続ノードはトランジスタP3のコレクタに接続されている。トランジスタP4のコレクタは、抵抗R5を介して、トランジスタN6のコレクタに接続されている。

【0021】

トランジスタN5、N6のエミッタは互いに接続されており、その接続ノードは接地されている。トランジスタN5のコレクタは、トランジスタP6のコレクタに接続されている。トランジスタN5、N6のベースは互いに接続されておりその接続ノードはトランジスタN5のコレクタに接続されている。トランジスタP5、P6のエミッタは互いに接続されており、その接続ノードは電源ラインに接続されている。トランジスタP5のコレクタは、トランジスタN4のコレクタに接続されている。トランジスタP5、P6のベースは互いに接続されており、その接続ノードはトランジスタP5のコレクタに接続されている。トランジスタN4のエミッタは、増幅器A2の反転入力端(-)に接続される一方、抵抗R4を介して接地されている。トランジスタN4のベースは、増幅器A2の出力端に接続されている。増幅器A2の非反転入力端(+)は、DAC1（図1参照）の出力端に接続され、基準電圧 V_{ref} が印加されている。

【0022】

一方、センス抵抗10（図1参照）の両端は、各々トランジスタP7、P8のベースに接続されている。トランジスタP7、P8のコレクタは、いずれも接地されている。トランジスタP7のエミッタは、抵抗R5と定電流源I2を介して電源ラインに接続されている。定電流源I2と抵抗R5との接続ノードは、トランジスタP4のコレクタに接続される一方、出力電流コンパレータ4の非反転入力端（+）にも接続されている。抵抗R5とトランジスタP7のエミッタとの接続ノードは、トランジスタN6のコレクタに接続されている。トランジスタP8のエミッタは、抵抗R6と定電流源I3を介して電源ラインに接続されている。定電流源I3と抵抗R6との接続ノードは出力電流コンパレータ4の反転入力端（-）に接続されている。

【0023】

上記構成から成る出力電圧比較回路2において、出力電流 I_o が増大してトランジスタP4のコレクタ電流 i_1 が増えると、CI制御部2bを構成する増幅器A1の反転入力電圧が上昇し、それに追従して増幅器A1の非反転入力電圧（オペアンプ2aの出力電圧 V_b ）が上昇する。従って、オペアンプ2aの反転入力電圧 V_a と出力電圧 V_b との間には、抵抗R1を介して、出力電流 I_o の増減に応じた電圧差 ΔV が生じることになる。

【0024】

このとき、オペアンプ2aは、反転入力電圧 V_a と非反転入力電圧（基準電圧 V_{ref} ）を一致させるように動作するので、抵抗R1から抵抗R2に向けて流れる電流が増加し、出力電圧 V_o は、基準電圧 V_{ref} から所定値（ $\Delta V / R1 \times R2$ ）だけ低下する（図3（a）を参照）。すなわち、本実施形態の電源装置では、出力電流 I_o が急変した場合でも、出力電圧 V_o は出力電流 I_o に応じた電圧値に変遷後、該電圧値で維持されることになるので（図3（b）を参照）、出力電圧 V_o に大きな変動が生じることではなく、出力電流 I_o の急変に対する出力電圧 V_o の過渡特性向上を実現することが可能となる。また、本実施形態の電源装置では、出力電圧 V_o が出力電流 I_o の増大に応じて低減されるので、出力電流 I_o の増大時の消費電力低減を実現することも可能となる。

【0025】

なお、本実施形態の電源装置は、上記構成によって、オペアンプ2aの入力電圧自体にオフセットを生じさせることなく、出力電流 I_o の増大に伴って所定の変動許容範囲内で出力電圧 V_o を低減する構成であるため、オペアンプ2aの入力電圧差を小さく設定することが可能となる。言い換えれば、オペアンプ2aとして、各入力電圧を同電位とした理想オペアンプに近いものを用いることが可能となる。このような構成とすることにより、オペアンプ2aのゲインを高く取れるようになるので、フィードバックループの応答性を高めて、出力電流 I_o の急変に対する出力電圧 V_o の過渡特性向上を実現することが可能となる。

【0026】

また、本実施形態の電源装置において、出力電流 I_o に対する出力電圧 V_o のDC特性（図3（a）を参照）は、上記した通り、抵抗R1、R2の比のみで設定することが可能である上、オペアンプ2aのゲイン特性にも依存しないため、そのばらつき要因が極めて少ないと言える。従って、本実施形態の電源装置であれば、出力電圧 V_o の変動許容範囲が狭くても（例えば、 ± 50 [mV]）、その変動許容範囲内で高精度に出力電圧 V_o を可変制御することが可能となる。

【0027】

また、本実施形態の電源装置は、オペアンプ2aの出力電圧 V_b （すなわち、出力電流 I_o ）と電流設定信号 S_i （ $= i_1 + i_2$ ）との相関を決定する電流設定基準電圧（トランジスタP4、N6の各コレクタ電流 i_1 、 i_2 が互いに等しく、電流設定信号 S_i が0となるときのオペアンプ2aの出力電圧 V_b に相当、図4を参照）として、出力電圧 V_o を決定する基準電圧 V_{ref} （或いは、該基準電圧 V_{ref} から生成した電圧）を用いる構成である。このような構成とすることにより、基準電圧 V_{ref} が変化した場合であっても、出力電流 I_o に対する電流設定信号 S_i の相関特性には何ら影響を及ぼさずに済む。

特に、本実施形態のように基準電圧 V_{ref} を可変制御することが可能な電源装置には、本構成を適用することが望ましい。

【0028】

なお、上記の実施形態では、本発明をスイッチングレギュレータに適用した場合を例に挙げて説明を行ったが、本発明の構成はこれに限定されることなく、図5に示すように、入出力端子間にFET7cを直列接続して成るシリースレギュレータにも適用することが可能である。

【0029】

また、図6に出力電圧比較回路2'として示すように、前出の出力電圧比較回路2に代えて、第1基準電圧 V_{ref1} と出力電圧 V_o との差電圧を増幅する出力電圧比較アンプ11と、予め設定された第2基準電圧 V_{ref2} と接地電位GNDとの間に直列接続されて出力電圧比較アンプ11の増幅電圧をバイアスする抵抗12、13と、バイアスされた増幅電圧を電流変換して電流設定信号 S_i を生成する電圧／電流変換回路14と、を有して成り、上記した第2基準電圧 V_{ref2} とバイアス抵抗12、13の抵抗値に応じて出力電圧比較アンプ11の出力ゲインを落とすことで、電流設定信号 S_i の変化に応じて第1基準電圧 V_{ref} と出力電圧 V_o との間に差を生じさせる構成としても、先に説明した第1、第2実施形態と略同様の効果を得ることが可能である。

【0030】

ただし、上記構成から成る電源装置は、第1、第2実施形態に比べて簡易な構成で実現可能である、といった長所を有する反面、(a)出力電圧比較アンプ11の入力電圧レンジを大きく取る必要がある、(b)抵抗 R_1 、 R_2 の抵抗値設定に際して、その比(中点電圧)と絶対値の双方を考慮する必要がある、抵抗値ばらつきに大きく依存する、(c)出力電圧比較アンプ11のゲイン特性ばらつきに大きく依存し温度特性も悪い、(d)出力電圧比較アンプ11のゲインを低く設定する必要がある、フィードバックループの高速応答性が悪い、といった短所を併せ持つため、当該構成の採用に際しては、相当の注意が必要である。例えば、入力電圧の変動許容範囲が狭い負荷に対して電源の供給を行うのであれば、本実施形態の電源装置よりも、前出した第1、第2実施形態の電源装置の方が好適である。

【0031】

なお、以上の説明では、出力電圧比較回路2の出力電流を用いて、オフセット回路3で電圧に変換する場合のみを説明したが、これに限定されることなく、電流設定信号 S_i としてデジタル的な信号を用いるようにしてもよい。

【0032】

【発明の効果】

上記したように、本発明に係る電源装置は、入力電圧から所定変動許容範囲内の出力電圧を生成するに際し、出力電流の増大に伴って前記変動許容範囲内で前記出力電圧の設定を低減するように制御する構成としている。より具体的に述べると、本発明に係る電源装置は、出力電流に応じた参照電圧を生成する出力電流検出手段と、前記参照電圧と所定の閾値との大小関係に基づいて出力信号レベルを変遷する比較器と、該比較器の出力信号に基づいて出力電圧の駆動制御を行う出力制御手段と、前記参照電圧にオフセットを与えるオフセット回路と、前記出力電圧と所定の基準電圧との比較結果に応じて前記オフセット量を制御する出力電圧比較回路と、を有して成る電源装置であって、前記出力電圧比較回路は、入力電圧から所定の変動許容範囲内の出力電圧を生成するに際し、前記出力電流の増大に伴って前記変動許容範囲内で前記出力電圧が低減するように、前記オフセット量を制御する構成としている。このような構成であれば、出力電流急変に対する出力電圧の過渡特性向上と出力電流増大時の消費電力低減を共に実現することが可能となる。

【0033】

なお、上記構成から成る電源装置において、前記出力電圧比較回路は、前記出力電圧と前記基準電圧を一致させるように動作するオペアンプと、該オペアンプの出力端電圧に応じて前記オフセット量を制御するとともに、前記出力電流の増大に伴って前記変動許容範囲

内で前記出力電圧の設定を低減するための信号を生成する定インピーダンス制御部と、を有して成る構成にするとよい。このようにオペアンプの入力電圧自体にオフセットを生じさせることなく、出力電流の増大に伴って所定の変動許容範囲内で出力電圧を低減する構成とすることにより、オペアンプの入力電圧差を小さく設定することができるので、オペアンプとして各入力電圧を同電位とした理想オペアンプに近いものを用いることが可能となる。従って、オペアンプのゲインを高く取れるようになるので、フィードバックループの応答性を高めて、出力電流急変に対する出力電圧の過渡特性向上を実現することが可能となる。

【0034】

また、上記構成から成る電源装置において、前記定インピーダンス制御部は、前記出力電圧が印加される前記オペアンプの入力端に対して、該オペアンプの出力端との間に接続された第1抵抗と、前記出力電圧の印加端との間に接続された第2抵抗と、を有して成り、前記オペアンプの入力端電圧と出力端電圧との間に、第1抵抗を介して、前記出力電流の増減に応じた電圧差を生じさせ、第1抵抗から第2抵抗に向けて流れる電流を変動させる構成にするとよい。本構成を採用した場合、出力電流に対する出力電圧のDC特性は、第1、第2抵抗の比のみで設定することができる上、オペアンプのゲイン特性にも依らないため、そのばらつき要因が極めて少なくなる。従って、出力電圧の変動許容範囲が狭くても該変動許容範囲内で高精度に出力電圧を可変制御することが可能となる。

【0035】

また、上記構成から成る電源装置において、前記定インピーダンス制御部は、前記オペアンプの出力端電圧と前記オフセット量との相関を決定する電流設定基準電圧として、前記基準電圧を用いる構成にするとよい。このような構成とすることにより、基準電圧が変化した場合であっても、出力電流に対するオフセット量の相関特性には何ら影響を及ぼさずに済む。

【0036】

一方、上記構成から成る電源装置において、前記出力電圧比較回路は、前記出力電圧と第1基準電圧との差電圧を増幅するアンプと、異なる2電位間に直列接続されて前記アンプの増幅電圧をバイアスする抵抗と、バイアスされた増幅電圧を電流変換して前記オフセット量の設定信号を生成する電圧／電流変換回路と、を有して成る構成にしてもよい。このような構成とすることにより、上記した他構成から成る電源装置よりも簡易な構成で、略同様の効果を得ることが可能となる。ただし、本構成から成る電源装置は、他構成から成る電源装置に比べて種々の短所を併せ持つため、当該構成の採用に際しては、相当の注意が必要である。

【図面の簡単な説明】

【図1】本発明に係る電源装置の第1実施形態を示す回路図である。

【図2】出力電圧比較回路2及びオフセット回路3を示す回路図である。

【図3】本発明に係る電源装置のDC特性及び過渡特性を示す図である。

【図4】出力電流 I_o に対する電流設定信号 S_i の相関特性図である。

【図5】本発明に係る電源装置の第2実施形態を示す回路図である。

【図6】本発明に係る電源装置の第3実施形態を示す回路図である。

【図7】従来の電源装置のDC特性及び過渡特性を示す図である。

【符号の説明】

- 1 デジタル／アナログコンバータ(DAC)
- 2、2' 出力電圧比較回路
- 2a オペアンプ
- 2b 定インピーダンス制御部(CI制御部)
- 3 オフセット回路
- 4 出力電流コンパレータ
- 5 SRフリップフロップ
- 6 出力トランジスタ駆動回路(ドライバ)

7a、7b NチャネルMOS電界効果トランジスタ (FET)

8 出力コイル

9 出力コンデンサ

10 センス抵抗

11 出力電圧比較アンプ

12、13 抵抗

14 電圧／電流変換回路

P1～P8 pnp型バイポーラトランジスタ

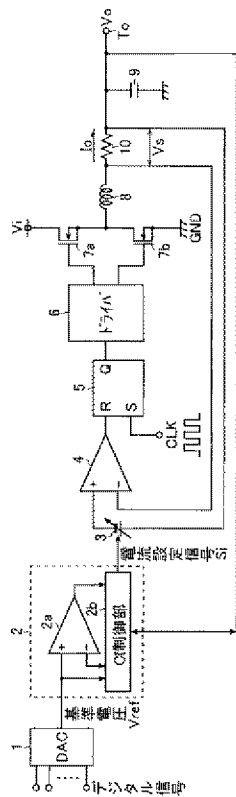
N1～N6 npn型バイポーラトランジスタ

I1～I3 定電流源

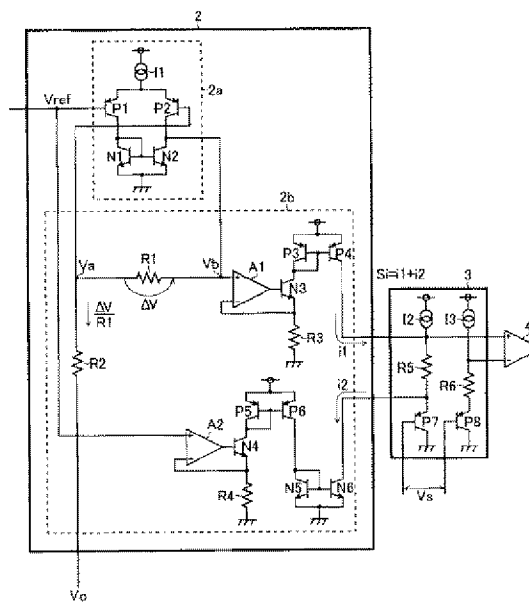
A1、A2 増幅器

R1～R6 抵抗

【図1】

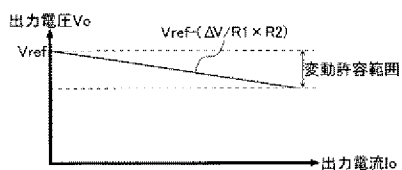


【図2】

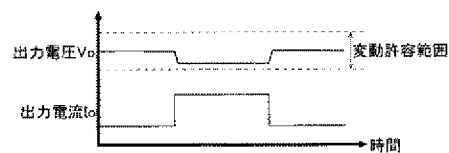


【図3】

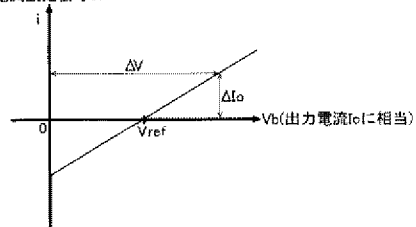
(a) D C特性



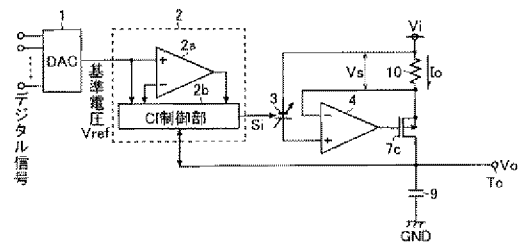
(b) 過渡特性



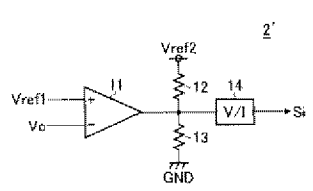
【図4】

電流設定信号 S_i 

【図5】

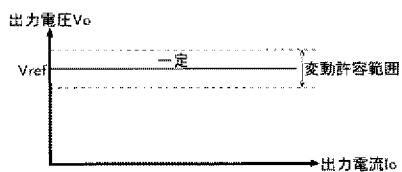


【図6】

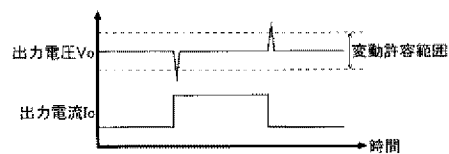


【図7】

(a) D C特性



(b) 過渡特性



F ターム(参考) 5H730 AA04 AS19 BB13 BB57 DD04 DD11 EE13 FD01 FD31 FF01
FV09